

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-60025

(P2003-60025A)

(43) 公開日 平成15年2月28日 (2003.2.28)

(51) Int.Cl. ⁷	識別記号	F I	テームト [*] (参考)
H 0 1 L 21/76		H 0 1 L 27/08	3 3 1 A 5 F 0 3 2
21/8238		21/76	L 5 F 0 4 8
27/08	3 3 1	27/08	3 2 1 D
27/092			

審査請求 未請求 請求項の数 8 O L (全 11 頁)

(21) 出願番号 特願2002-137686(P2002-137686)
 (22) 出願日 平成14年5月13日 (2002.5.13)
 (31) 優先権主張番号 2001-045822
 (32) 優先日 平成13年7月30日 (2001.7.30)
 (33) 優先権主張国 韓国 (K R)

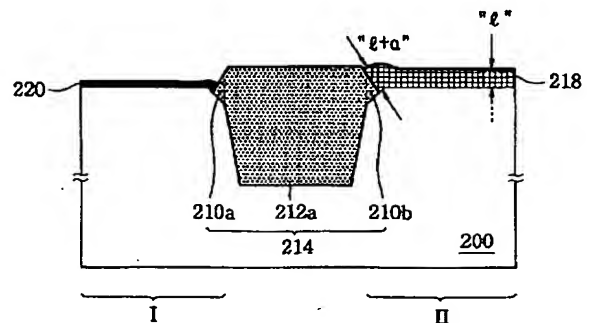
(71) 出願人 390019839
 三星電子株式会社
 大韓民国京畿道水原市八達区梅蓮洞416
 (72) 発明者 朴 柱 翰
 大韓民国京畿道水原市八達区優曼洞32 主
 公アパート202-614
 (74) 代理人 100086368
 弁理士 萩原 誠
 Fターム (参考) 5F032 AA13 AA35 AA36 AA44 BB01
 CA03 CA17 CA20 CA24 CA25
 DA02 DA22 DA33 DA53
 5F048 AA04 AA07 AC03 BA01 BB16
 BG12 BG14

(54) 【発明の名称】 半導体素子の製造方法

(57) 【要約】

【課題】 ノーマルSTI (normal Shallow Trench Isolation) 構造にデュアルゲート酸化膜工程の適用の際にSTIと厚いゲート酸化膜との境界面において前記酸化膜の厚さが相対的に薄くなる薄膜化現象が惹起されることを防止することができる半導体素子の製造方法を提供するにある。

【解決手段】 LOCOS酸化膜を通じてトレンチが形成されるようにノーマルSTI構造にLOCOS工程を導入し、STIがLOCOS酸化膜のバズビーク (Bird's beak) の一部を含むようにして、STIのサイドが緩慢な傾斜構造を有し、また、前記STIと接するアクティブ領域エッジ部のシリコン基板が(1,1,1)構造を有することにより、ノーマルSTI構造にHV用ゲート酸化膜の成長時にSTIのサイドに集中される圧縮応力を既存対比で緩和させ、STIエッジ部位でゲート酸化膜が薄膜化することを防ぐことができる半導体素子の製造方法である。



【特許請求の範囲】

【請求項 1】 フィールド領域が露出されるように半導体基板上の第 1 及び第 2 アクチブ領域に“パッド酸化膜/窒化膜/酸化膜”積層構造の結果物を形成する段階と、前記結果物をマスクとして酸化工程を実施して前記フィールド領域にバースピークを含む LOCOS 酸化膜を形成する段階と、
 前記結果物をマスクとして前記 LOCOS 酸化膜と前記シリコン基板とを所定厚さだけ食刻して前記フィールド領域にトレンチを形成する段階と、
 前記トレンチ内部が十分に充填されるように前記結果物上に CVD 酸化膜を形成する段階と、
 前記パッド酸化膜上に前記窒化膜が所定厚さだけ残存するように前記 CVD 酸化膜を CMP 処理して前記フィールド領域にバースピークを含む CVD 酸化膜材質の STI を形成する段階と、
 前記残存窒化膜とパッド酸化膜とを除去して前記第 1、第 2 アクチブ領域を露出させる段階と、
 CMOS ウェルイオン注入とチャネルイオン注入とを実施する段階と、
 窒化膜蒸着及びこれの食刻工程を経て前記第 1 アクチブ領域側には窒化膜を残し、前記第 2 アクチブ領域は露出させる段階と、
 前記残存窒化膜をマスクとして第 2 アクチブ領域にゲート酸化膜用第 1 熱酸化膜を形成する段階と、
 前記第 1 アクチブ領域側の前記残存窒化膜を除去する段階と、
 前記第 1 アクチブ領域に前記第 1 熱酸化膜よりも薄い厚さのゲート酸化膜用第 2 熱酸化膜を形成する段階と、を含むことを特徴とする半導体素子の製造方法。
 【請求項 2】 前記 CVD 酸化膜は、USG 又は HDP 材質で形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。
 【請求項 3】 前記 LOCOS 酸化膜は、熱酸化膜材質で形成することを特徴とする請求項 1 に記載の半導体素子の製造方法。
 【請求項 4】 前記第 1 アクチブ領域は LV 領域で、前記第 2 アクチブ領域は HV 領域であることを特徴とする請求項 1 に記載の半導体素子の製造方法。
 【請求項 5】 前記 HV 領域は、動作電圧が 3.3V～50V の内圧をもつように設計された領域であることを特徴とする請求項 4 に記載の半導体素子の製造方法。
 【請求項 6】 前記結果物をなす前記酸化膜上に ARL を形成する工程をさらに含むことを特徴とする請求項 1 に記載の半導体素子の製造方法。
 【請求項 7】 フィールド領域が露出されるように半導体基板上の第 1 及び第 2 アクチブ領域に“パッド酸化膜/窒化膜/酸化膜”積層構造の結果物を形成する段階と、前記結果物をマスクとして酸化工程を実施して前記フィールド領域にバースピークを含む LOCOS 酸化膜を形成す

る段階と、
 前記結果物をマスクとして前記 LOCOS 酸化膜と前記シリコン基板とを所定厚さだけ食刻して前記フィールド領域にトレンチを形成する段階と、
 前記トレンチ内部が十分に充填されるように前記結果物上に CVD 酸化膜を形成する段階と、
 前記パッド酸化膜上に前記窒化膜が所定厚さだけ残存するように前記 CVD 酸化膜を CMP 処理して、前記フィールド領域にバースピークを含む CVD 酸化膜材質の STI を形成する段階と、
 前記残存窒化膜とパッド酸化膜とを除去して前記第 1、第 2 アクチブ領域を露出させる段階と、
 CMOS ウェルイオン注入とチャネルイオン注入とを実施する段階と、
 前記第 1、第 2 アクチブ領域にゲート酸化膜用第 1 熱酸化膜を形成する段階と、
 前記第 1 アクチブ領域上の前記第 1 熱酸化膜を除去する段階と、
 前記第 1 アクチブ領域に前記第 1 熱酸化膜よりも薄い厚さのゲート酸化膜用第 2 熱酸化膜を形成する段階と、を含むことを特徴とする半導体素子の製造方法。
 【請求項 8】 前記第 1 アクチブ領域は LV 領域で、前記第 2 アクチブ領域は HV 領域であることを特徴とする請求項 7 に記載の半導体素子の製造方法。
 【発明の詳細な説明】
 【0001】
 【発明の属する技術の分野】本発明は、ノーマル STI (normal Shallow Trench Isolation) 構造にデュアルゲート酸化膜工程を適用する際に、STI と厚いゲート酸化膜との境界面において前記酸化膜の厚さが相対的に薄くなる薄膜化現象が惹起されることを防止することができる半導体素子の製造方法に関する。
 【0002】
 【従来の技術】LDI (LCD Driver IC) 製品のような電力素子製品は、素子駆動の際にロジック回路駆動のためのロー電圧 (以下、LV とする) 動作と LDI 駆動のためのハイ電圧 (以下、HV とする) 動作との両方が必要とされるので、ゲート酸化膜をデュアルゲート構造にする必要があり、線幅が小さくなるのに従い STI 構造を採用すべきである。しかし、ノーマル STI 構造にデュアルゲート酸化膜の製造工程をそのまま適用すると、HV 用デュアルゲート酸化膜を形成するときに LV 領域の STI リセス (recess) が過度に発生して素子が致命的な損傷を受けるため、特性低下が生じる。これは、STI が USG および HDP のような CVD 酸化膜材質で構成される反面、ゲート酸化膜は熱酸化膜材質で構成されて、デュアルゲート酸化膜を形成するための食刻工程の際に、熱酸化膜と CVD 酸化膜との間の湿式食刻率の差によりアクチブ領域とフィールド領域との境界面にデント (dent) が甚だしく発生するからである。

【0003】図17乃至図19は、従来のデュアルゲート酸化膜の形成方法を示した工程図で、以下、これを参照して具体的に説明する。ここでは、便宜上前記工程を第3段階に区分して説明する。前記図面で、符号Iは第1アクティブ領域で、薄いゲート酸化膜の形成されるLV領域を示し、符号IIは第2アクティブ領域で、厚いゲート酸化膜の形成されるHV領域を示す。

【0004】第1段階として、図17に示すように、シリコン基板10上の第1、第2アクティブ領域I、IIに窒化膜パターン（図示せず）を形成し、これをマスクとして前記基板10を所定厚さだけ選択食刻して基板10内のフィールド領域にトレンチを形成した後、前記トレンチ内部が十分に充填されるように前記結果物上にUSG又はHDP材質のCVD酸化膜を蒸着する。ついで、前記アクティブ領域I、IIに窒化膜パターンの一部が残存するようにCVD酸化膜をCMP処理した後、前記残存窒化膜パターンを除去してトレンチ内部を埋め込むSTI12を形成し、CMOSウェルイオン注入とチャネルイオン注入とを実施した後、基板10上のアクティブ領域I、IIに300Å厚さのHV用第1熱酸化膜14を形成する。

【0005】第2段階として、図18に示すように、第1アクティブ領域Iとその周り部のSTI12の一部とが一緒にオープンされるように前記結果物上にフォトレジストパターン16を形成し、これをマスクとして第1熱酸化膜14を湿式食刻してHV領域IIのみに選択的に第1熱酸化膜14を残す。

【0006】第3段階として、図19に示すように、フォトレジストパターン16を除去し、第1アクティブ領域Iに40Å厚さのLV用第2熱酸化膜18を形成することにより、デュアルゲート酸化膜工程を完了する。第2熱酸化膜18の形成の際に第2アクティブ領域IIの第1熱酸化膜14も追加成長するが、その量が微々としたものなので考慮しなくてもよい。その結果、第1アクティブ領域Iには第2熱酸化膜18材質の薄いLV用ゲート酸化膜が形成され、第2アクティブ領域IIには第1熱酸化膜14材質の厚いHV用ゲート酸化膜が形成される。

【0007】しかし、前記工程を適用してデュアルゲート酸化膜を形成すると、フォトレジストパターン16をマスクとしてLV領域の第2熱酸化膜14を除去するとき、第1熱酸化膜14のほかにLV領域の周りのSTI12（図18の（A）で表示された部分）も一部と一緒にリセスされるので、この部分（アクティブ領域とフィールド領域との境界面）にデント（dent）が発生する不良が誘発される。図20は前記不良の発生した場合の素子構造を示した断面図である。前記不良はSTI12を構成するCVD酸化膜とゲート酸化膜として用いられる第1熱酸化膜14との間の湿式食刻率が異なっていることに起因して惹起される現象で、STI12がHDP材質で充填される場合には、リセス量がアクティブ領域の基板10表面を基準にしたときに約200Åほどである反面、USG材質で充填される場合に

は、STI12のリセス量が約1000Å水準に至るので、デント（dent）発生が一層甚だしくなる。

【0008】デント（dent）が発生する場合に、後続工程のゲートボリ食刻の時にリセスされた所にボリ残存物が残されるか、或いはフィールド領域とアクティブ領域との境界面上でゲートボリがフィールドとアクティブとを覆う現象が現れるかして、この部分では垂直方向とサイド方向とにすべて電界を受けるので、電界集中に起因するゲート酸化膜の劣化が招来されるだけでなく、素子の駆動の際にトランジスタのVth低下、サブスレッショルド電流漏れ（subthreshold leakage）の増加、パンチングスルーマージンの減少などのような形態の特性低下が惹起される。これを改善するため、最近ではLDI設計の際にノーマルSTI構造にデュアルゲート酸化膜工程を適用し、窒化膜マスキング技術を用いてLV領域での厚い熱酸化膜の除去工程なしにもデュアルゲート酸化膜を形成し得るようにした工程技術が提案されたことがある。

【0009】図21乃至図25は従来のデュアルゲート酸化膜形成方法を示す工程図である。以下、これを参照して、その製造方法を第3段階に区分して説明する。符号Iは第1アクティブ領域で、薄いゲート酸化膜が形成されるLV領域を示し、符号IIは第2アクティブ領域で、厚いゲート酸化膜が形成されるHV領域を示す。

【0010】第1段階として、図21に示すように、シリコン基板100内のフィールド領域に図17に示した工程と同一な方法によりトレンチ内部を埋め込むCVD酸化膜材質のSTI102を形成する。次いで、前記基板100上のアクティブ領域I、IIに熱酸化膜材質のバッファ酸化膜104を形成し、CMOSウェルイオン注入とチャネルイオン注入とを施す。イオン注入後にバッファ酸化膜104を除去せずに直ちにSTI102を含んだバッファ酸化膜104上に窒化膜106を形成し、その上にMTO（Medium Temperature Oxide）材質のCVD酸化膜108を形成する。ここで、MTOとは700～800℃の温度で形成された酸化膜質をいう。このとき、バッファ酸化膜104は100～120Å厚さで形成され、窒化膜106は90～110Å厚さで形成され、CVD酸化膜108は90～110Å厚さで形成される。

【0011】第2段階として、図22に示すように、第1アクティブ領域Iを含んだその隣接部のSTI102の一部と一緒にマスキングされるように、CVD酸化膜108上にフォトレジストパターン110を形成する。次いで、フォトレジストパターン110をマスクとして第2アクティブ領域IIとその隣接部のCVD酸化膜108とを湿式食刻する。

【0012】第3段階として、図23に示すように、フォトレジストパターン110を除去する。第4段階として、図24に示すように、残存CVD酸化膜108をマスクとして窒化膜106とバッファ酸化膜104とを順次食刻して、第2アクティブ領域IIの表面を露出させる。このとき、前記窒化膜104は燐酸をエッチング液として用いた湿式食刻法により食刻され、マスクとして用いられ

た前記残存CVD酸化膜108はバッファ酸化膜104の食刻時に一緒に除去される。次いで、第2アクチブ領域IIの表面露出部に400～450Å厚さの第1熱酸化膜112を形成する。

【0013】第5段階として、図25に示すように、第1アクチブ領域Iとその隣接部のSTI102上とに残存した窒化膜106とバッファ酸化膜104とを順次食刻して、第1アクチブ領域Iの表面を露出させる。この場合、バッファ酸化膜104の食刻時に第1熱酸化膜112の一部も消耗されるため、前記残存膜質の食刻が完了すると、第2アクチブ領域IIには約250～350Å厚さの第1熱酸化膜112だけが残される。次いで、第1アクチブ領域Iの表面露出部に第1熱酸化膜112よりも薄い30～50Å厚さの第2熱酸化膜114を形成することにより、デュアルゲート酸化膜工程を完了する。第2熱酸化膜114の形成時に第2アクチブ領域IIの第1熱酸化膜112も追加成長するが、その量が微々としたものなので考慮しなくてもよい。その結果、第1アクチブ領域Iには第2熱酸化膜114材質の薄いLV用ゲート酸化膜が形成され、第2アクチブ領域IIには第1熱酸化膜112材質の厚いHV用ゲート酸化膜が形成される。このようにデュアルゲート酸化膜を製造する場合、HV領域の厚いゲート酸化膜の形成時にLV領域での厚い熱酸化膜の除去工程を必要としないので、アクチブ領域とフィールド領域との境界面でデント(dent)が発生することを防ぐことができる。

【0014】

【発明が解決しようとする課題】しかしながら、前記工程を適用する場合において、窒化膜106をマスクとして第2アクチブ領域IIに第1熱酸化膜112材質の厚いゲート酸化膜を成長させるときに、STI102とアクチブ領域との境界面(図25の(B))で表示された部分)で第1熱酸化膜112が他の部分よりも薄く成長するという問題が発生する。即ち、第1熱酸化膜112がSTI102のエッジ部位で甚だしく薄膜化する現象が誘発されるのである。このような現象はゲート酸化膜の厚さが増加するほど加速化され、図26には前記不良が発生した場合の素子構造を示した断面図が示されている。図26において“1”は元来形成しようとした第1熱酸化膜112厚さを示し、“1-α”は薄膜化現象により薄くなった第1熱酸化膜112の厚さを示す。

【0015】前記薄膜化現象は熱酸化工程の進行時にスチフ(stiff)なSTI102のサイドに圧縮応力が集中して、この部分での酸化膜成長が抑制されるのに起因して惹起される現象で、このような現象が発生する場合に電界集中によるゲート酸化膜の劣化が招来されるだけでなく、トランジスタの駆動時にアクチブ領域とフィールド領域との境界面でチャンネル(Corner TRのチャンネル)が先に形成され、ターンオンしてからアクチブ領域のセンターにチャンネル(Flat TRのチャネ

ル)が形成されターンオンされる、即ち、トランジスタがまるで2個のV_{th}をもつことのように見えるハンブ(hump)現象が誘発されていて、これに対する改善策が至急に求められている。

【0016】そこで、本発明の目的は、LOCOS酸化膜を通じてトレンチが形成されるようにノーマルSTI構造にLOCOS工程を導入し、STIがLOCOS酸化膜のバースピーク(Bird's beak)の一部を含むようにして、STIのサイドが緩やかな傾斜構造を有し、また、前記STIと接するアクチブ領域エッジ部のシリコン基板が(1,1,1)構造を有することにより、ノーマルSTI構造にHV用ゲート酸化膜の成長時にSTIのサイドに集中する圧縮応力を既存対比で緩和させ、STIエッジ部位でゲート酸化膜が薄膜化することを防ぐことができる半導体素子の製造方法を提供することにある。

【0017】

【課題を解決するための手段】このような目的を達成するため本発明の第1実施例は、フィールド領域が露出されるように半導体基板上の第1及び第2アクチブ領域に“バッド酸化膜/窒化膜/酸化膜”積層構造の結果物を形成する段階と、前記結果物をマスクとして酸化工程を実施して前記フィールド領域にバースピークを含むLOCOS酸化膜を形成する段階と、前記結果物をマスクとして前記LOCOS酸化膜と前記シリコン基板とを所定厚さだけ食刻して前記フィールド領域にトレンチを形成する段階と、前記トレンチ内部が十分に充填されるように前記結果物上にCVD酸化膜を形成する段階と、前記バッド酸化膜上に前記窒化膜が所定厚さだけ残存するように前記CVD酸化膜をCMP処理して前記フィールド領域にバースピークを含むCVD酸化膜材質のSTIを形成する段階と、前記残存窒化膜とバッド酸化膜とを除去して前記第1、第2アクチブ領域を露出させる段階と、CMOSウェルイオン注入とチャンネルイオン注入とを実施する段階と、窒化膜蒸着及びこれの食刻工程を経て前記第1アクチブ領域側には窒化膜を残し、前記第2アクチブ領域は露出させる段階と、前記残存窒化膜をマスクとして第2アクチブ領域にゲート酸化膜用第1熱酸化膜を形成する段階と、前記第1アクチブ領域側の前記残存窒化膜を除去する段階と、前記第1アクチブ領域に前記第1熱酸化膜よりも薄い厚さのゲート酸化膜用第2熱酸化膜を形成する段階と、を含む半導体素子の製造方法を提供する。

【0018】また、本発明の第2実施例は、フィールド領域が露出されるように半導体基板上の第1及び第2アクチブ領域に“バッド酸化膜/窒化膜/酸化膜”積層構造の結果物を形成する段階と、前記結果物をマスクとして酸化工程を実施して前記フィールド領域にバースピークを含むLOCOS酸化膜を形成する段階と、前記結果物をマスクとして前記LOCOS酸化膜と前記シリコン基板とを所定厚さだけ食刻して前記フィールド領域にトレンチを形成する段階と、前記トレンチ内部が十分に充填されるよ

うに前記結果物上にCVD酸化膜を形成する段階と、前記パッド酸化膜上に前記窒化膜が所定厚さだけ残存するように前記CVD酸化膜をCMP処理して、前記フィールド領域にバースピークを含むCVD酸化膜材質のSTIを形成する段階と、前記残存窒化膜とパッド酸化膜とを除去して前記第1、第2アクチブ領域を露出させる段階と、CMOSウェルイオン注入とチャンネルイオン注入とを実施する段階と、前記第1、第2アクチブ領域にゲート酸化膜用第1熱酸化膜を形成する段階と、前記第1アクチブ領域上の前記第1熱酸化膜を除去する段階と、前記第1アクチブ領域に前記第1熱酸化膜よりも薄い厚さのゲート酸化膜用第2熱酸化膜を形成する段階と、を含む半導体素子の製造方法を提供する。

【0019】このとき、前記第1アクチブ領域はLV領域を示し、第2アクチブ領域はHV領域を示す。

【0020】以上のように工程を進行すると、STIのサイドが既存のステフ(stiff)模様でない緩慢な傾斜構造(たとえば、バースピーク(bird's beak)模様)で形成されるだけでなく、第1及び第2アクチブ領域の残存窒化膜とパッド酸化膜との除去時に前記バースピークの一部もいっしょにリセスされるように食刻工程が進行されるため、STIと接する第1、第2アクチブ領域のエッジ部ではシリコン基板が(1,1,1)結晶構造を有する。その結果、酸化工程時にSTIのサイドに集中する圧縮応力を従来対比で緩和させることができるため、STIエッジ部位でHV用ゲート酸化膜の圧力が相対的に薄く成長することが防止される。

【0021】

【発明の実施の形態】以下、本発明の実施形態について図面を用いて詳しく説明する。図1乃至図8は、本発明で提案されたデュアルゲート酸化膜の形成方法を示した工程図で、以下、これを参照して、その製造方法を第8段階に区分して説明する。ここで、符号IはLV領域(薄いゲート酸化膜が形成される領域)として使用される第1アクチブ領域を示し、符号IIはHV領域(厚いゲート酸化膜が形成される領域)として用いられる第2アクチブ領域を示す。このとき、前記HV領域とは動作電圧が3.3~50Vの内圧をもつように設計された領域を示す。

【0022】第1段階として、図1に示すように、シリコン基板200上にパッド酸化膜202、窒化膜204、及びHTO材質の酸化膜206を順次積層した後、食刻工程時に乱反射を抑制しクリティカルな水準のパターン形成のために前記酸化膜206上にARL(Anti-Reflective Layer)208をコーティングする。次いで、フィールド領域を限定するフォトレジストパターン(図示せず)をマスクとしてARL208、酸化膜206、窒化膜204及びパッド酸化膜202を順次食刻してフィールド領域として用いられる部分の基板200表面を露出させる。その結果、基板200上の第1、第2アクチブ領域I、IIのみに、選択的に、“パッド酸化膜202/窒化膜204/ARL208がコーティングされた酸化膜

206”積層構造の結果物が残される。このとき、前記窒化膜204は後続LOCOS工程時に酸化防止膜の役割をし、ARLコーティング工程はスキップすることができる。

【0023】第2段階として、図2に示すように、前記“パッド酸化膜202/窒化膜204/ARL208がコーティングされた酸化膜206”積層構造の結果物をマスクとして酸化工程を実施してフィールド領域にバースピーク210a、210bを含むLOCOS酸化膜210を形成する。

【0024】第3段階として、図3に示すように、前記結果物をマスクとしてLOCOS酸化膜210とその下段のシリコン基板200を所定厚さだけ選択食刻してフィールド領域にトレンチtを形成する。

【0025】第4段階として、図4に示すように、前記トレンチt内部が十分に充填されるように前記結果物上にUSG及びHDP材質のCVD酸化膜212を蒸着する。

【0026】第5段階として、図5に示すように、パッド酸化膜202上に所定厚さ(例えば初期蒸着厚さの1/2~1/3水準)の窒化膜204が残存するようにCVD酸化膜212をCMP処理して、フィールド領域にバースピーク210a、210bを含む酸化膜212a材質のSTI214を形成する。次いで、残存窒化膜204とパッド酸化膜202とを除去して第1、第2アクチブ領域I、IIを露出させた後、CMOSウェルイオン注入工程とチャンネルイオン注入工程とを実施する。第1、第2アクチブ領域I、IIの残存窒化膜204とパッド酸化膜202との除去時、STI214をなすバースピーク210a、210b成分の一定量が一緒にリセスされるため、食刻工程が完了されると、図示されたようにSTI214と接する第1、第2アクチブ領域I、IIのエッジ部cではシリコン基板の(1,1,1)結晶面が露出される。

【0027】このようにSTI214のサイドをバースピーク形状の緩慢な傾斜構造にしたのは後続酸化工程時にSTI214のサイドに集中される圧縮応力を既存対比で緩和させることにより、HV用ゲート酸化膜のエッジ薄膜化現象を防ぐためである。また、STI214と第1、第2アクチブ領域I、IIとが接する部分でシリコン基板が(1,1,1)結晶構造をもつようにしたのは(1,0,0)結晶面に比べ(1,1,1)結晶面での酸化膜成長速度が速くなって、(1,1,1)結晶構造をもつ部分では他の部分((1,0,0)結晶構造をもつ部分)に比べ相対的に厚い厚さの酸化膜形成が可能であって、HV用ゲート酸化膜の薄膜化現象を抑制するのにもっと有利であるからである。ここで、(1,0,0)結晶面はシリコン基板を上から見下ろしたときに平らかに置かれた部分のシリコン結晶構造を示し、(1,1,1)結晶面はバースピーク210a、210bのリセスにより露出された傾斜部分のシリコン結晶構造を示す。

【0028】第6段階として、図6に示すように、STI214を含んだ第1、第2アクチブ領域I、II上に窒化膜216を蒸着した後、第2アクチブ領域IIとその隣接部のSTI214の一部と一緒に露出されるように前記窒化膜216を選択食刻する。その結果、第1アクチブ領域側のみに窒化

膜216が残される。

【0029】第7段階として、図7に示すように、前記残存窒化膜216をマスクとして第2アクチブ領域IIに400～450Å厚さの第1熱酸化膜218を形成する。このとき、STI214と接する第1、第2アクチブ領域I、IIのエッジ部cではすでに言及されたように(1,1,1)結晶構造のシリコンが露出された状態であるので、(1,0,0)結晶面をもつ平らな部分に比べ第1熱酸化膜218が多少厚く形成される。図7において“1”は元来形成しようとした第1熱酸化膜218の厚さを示し、“1+α”は速い成長速度のため平らな部分に比べ多少厚くなった第1熱酸化膜112の厚さを示す。次いで、第1アクチブ領域側の残存窒化膜216を除去して第1アクチブ領域Iを露出させる。

【0030】第8段階として、図8に示すように、第1アクチブ領域Iに第1熱酸化膜218よりも薄い30～50Å厚さの第2熱酸化膜220を形成することにより、デュアルゲート酸化膜工程を完了する。第2熱酸化膜220の形成のときに第2アクチブ領域IIの第1熱酸化膜218も追加成長されるが、その量が微々としたものなので考慮しなくてもよい。その結果、第1アクチブ領域Iには第2熱酸化膜220材質の薄いLV用ゲート酸化膜が形成され、第2アクチブ領域IIには第1熱酸化膜218材質の厚いHV用ゲート酸化膜が形成される。

【0031】このようにデュアルゲート酸化膜を製造する場合に、STI214がLOCOS酸化膜210のバースピーク210a、210bの一部を含むように素子設計がなされるので、STI214のサイドが既存のステップ模様でなく緩やかな傾斜構造（例えば、バースピーク模様）をもち、また、第1及び第2アクチブ領域I、IIに残存した窒化膜204とパッド酸化膜202の除去時にバースピーク210a、210bの一部も一緒にリセスされる方式で工程が進行するので、STI214と接する第1、第2アクチブ領域I、IIのエッジ部ではシリコン基板が(1,1,1)結晶構造をもつことになる。従って、この場合は酸化工程時にSTI214のサイドに集中される圧縮応力を従来対比で緩和させることができるだけでなく、STI214と接する第1、第2アクチブ領域I、IIのエッジ部では(1,0,0)結晶構造をもつ平らな部分に比べHV用ゲート酸化膜を厚く形成することが可能になる。

【0032】そこで、前記工程技術を適用すると、HV用ゲート酸化膜の成長時に惹起された第2アクチブ領域IIとSTI214のエッジ部位とでのゲート酸化膜の薄膜化現象が発生しなくなる。このため、素子駆動時に電界集中及びハンプ現象が誘発されるのを防止することができるので、ゲート酸化膜の劣化とトランジスタの動作特性低下とを防止することができる。

【0033】一方、本発明の第2実施例であって前記デュアルゲート酸化膜工程は窒化膜マスクング法の代わりに一般のフォトリソ工程を適用して進行することもできる

が、図9乃至図16にはこれに関連した半導体素子のデュアルゲート酸化膜の形成方法を示した工程図が示されている。以下、これを参照してその製造方法を第8段階に区分して説明する。図面において符号IはLV領域（薄いゲート酸化膜が形成される領域）として用いられる第1アクチブ領域を示し、符号IIはHV領域（厚いゲート酸化膜が形成される領域）として用いられる第2アクチブ領域を示す。そして、HV領域とは動作電圧が3.3V～50Vの内圧をもつように設計された領域を示す。

【0034】前記実施例の場合、図9～13までは第1実施例の図1～図5で説明した工程と同一に進行するので、ここではこれに関連した言及は避け、その以後の工程段階から説明する。

【0035】即ち、第1～第5段階として、図9～図13に示すように、第1実施例で言及された工程技術（図1～図5で示した工程）をそのまま適用して、基板200上のフィールド領域にバースピーク210a、210bを含むCVD酸化膜212a材質のSTI214を形成し、アクチブ領域に残存した窒化膜204とパッド酸化膜202とを順序除去して、基板200上の第1、第2アクチブ領域I、IIを露出させた後、CMOSウェルイオン注入工程とチャネルイオン注入工程とを実施する。

【0036】第6段階として、図14に示すように、基板200上の第1、第2アクチブ領域I、IIに400～450Å厚さの第1熱酸化膜218を形成する。この場合もやはりSTI214と接する第1、第2アクチブ領域I、IIのエッジ部cでは残存窒化膜204とパッド酸化膜202との除去時に伴われるバースピーク210a、210bのリセスのためシリコン基板が(1,1,1)結晶構造をもつので、この部分cでは(1,0,0)結晶面をもつ平らな部分に比べ第1熱酸化膜218が多少厚く形成される。図14で“1”は元来形成しようとした第1熱酸化膜218の厚さを示し、“1+α”は速い速度のため平らな部分に比べ多少厚くなった第1熱酸化膜112の厚さを示す。

【0037】第7段階として、図15に示すように、第1アクチブ領域Iとその周りのSTI214の一部とが一緒に露出されるように前記結果物上にフォトリソパターン219を形成し、これをマスクとして第1熱酸化膜218を選択食刻して、HV領域IIのみに選択的に第1熱酸化膜218を残す。

【0038】第8段階として、図16に示すように、フォトリソパターン219を除去し、第1アクチブ領域Iに第1熱酸化膜218よりも薄い30～50Å厚さの第2熱酸化膜220を形成することにより、デュアルゲート酸化膜工程を完了する。その結果、第1アクチブ領域Iには第2熱酸化膜220材質の薄いLV用ゲート酸化膜が形成され、第2アクチブ領域IIには第1熱酸化膜218材質の厚いHV用ゲート酸化膜が形成される。

【0039】このように工程を進行する場合において、

LV領域の第1熱酸化膜218を除去するときに、LV領域の周りのSTI214の一部と一緒にリセスされる現象が惹起されるが、この場合はSTI214をなす残存バースピーク210a、210b成分が熱酸化膜材質で構成されて、既存のようにCVD酸化膜が直ちに露出された場合と比較すると、STIのリセス量自体を顕著に減らすことができるし、第1、第2アクティブ領域のエッジ部ではシリコンが(1, 1, 1)結晶構造を有して、平らな他の部分に比べ第2熱酸化膜220を厚く形成することができて、デント(dent)誘発のため惹起された素子の特性低下は考慮しなくてもよい。そこで、第2実施例の工程順序に基づきデュアルゲート酸化膜を形成しても酸化工程の際にSTI214のサイドに集中される圧縮応力を従来と比べ緩和させ、H用ゲート酸化膜の成長時に惹起された第2アクティブ領域IIのエッジ部位でのゲート酸化膜の薄膜化現象が発生しなくなる。

【0040】以上、実施例を通じて本発明を詳しく説明したが、本発明はこれに限定されず、本発明の技術的思想内で当分野の通常の知識によりその変形及び改良ができるのは勿論のことである。

【0041】

【発明の効果】以上説明したように本発明は、LOCOS酸化膜を通じてトレンチが形成されるようにノーマルSTI構造にLOCOS工程を導入し、STIがLOCOS酸化膜のバースピークの一部を含むことによりSTIのサイドが緩慢な傾斜構造を有し、同時に前記STIと接するアクティブ領域エッジ部のシリコン基板が(1,1,1)結晶構造を有することにより、STIのサイドに集中される圧縮応力を従来対比で緩和させることができるようになって、STIと接する第1、第2アクティブ領域エッジ部での熱酸化膜厚さを(1,0,0)結晶構造をもつ平らな部分よりも厚く形成することができて、①HV用ゲート酸化膜の成長時に惹起されたSTIエッジ部位でのゲート酸化膜の薄膜化現象を防止し、②ゲート酸化膜の信頼性を向上させ、③電界集中とハンプ現象の誘発とのために惹起されるトランジスタの動作特性低下を防止することができる。

【図面の簡単な説明】

【図1】本発明の第1実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図2】本発明の第1実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図3】本発明の第1実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図4】本発明の第1実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図5】本発明の第1実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図6】本発明の第1実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図7】本発明の第1実施例によるデュアルゲート酸化

膜の形成方法を示した工程図である。

【図8】本発明の第1実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図9】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図10】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図11】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

10 【図12】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図13】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図14】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図15】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

【図16】本発明の第2実施例によるデュアルゲート酸化膜の形成方法を示した工程図である。

20 【図17】従来のデュアルゲート酸化膜の形成方法を示した工程図である。

【図18】従来のデュアルゲート酸化膜の形成方法を示した工程図である。

【図19】従来のデュアルゲート酸化膜の形成方法を示した工程図である。

【図20】図17～図19の工程に基づきデュアルゲート酸化膜を形成するときに惹起される不良発生形態を示した工程断面図である。

30 【図21】従来のまた他のデュアルゲート酸化膜の形成方法を示した工程図である。

【図22】従来のまた他のデュアルゲート酸化膜の形成方法を示した工程図である。

【図23】従来のまた他のデュアルゲート酸化膜の形成方法を示した工程図である。

【図24】従来のまた他のデュアルゲート酸化膜の形成方法を示した工程図である。

【図25】従来のまた他のデュアルゲート酸化膜の形成方法を示した工程図である。

40 【図26】図21～図25の工程に基づきデュアルゲート酸化膜を形成するときに惹起される不良発生形態を示した工程断面図である。

【符号の説明】

10：シリコン基板

12：STI

14：第1熱酸化膜

16：フォトリソパターン

18：第2熱酸化膜

100：シリコン基板

102：STI

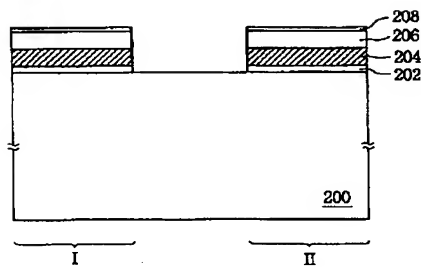
50 104：バッファ酸化膜

106: 窒化膜
 108: CVD酸化膜
 110: フォトリソグパターン
 112: 第1熱酸化膜
 114: 第2熱酸化膜
 200: シリコン基板
 202: バッド酸化膜
 204: 窒化膜
 206: HTO材質の酸化膜
 208: ARL

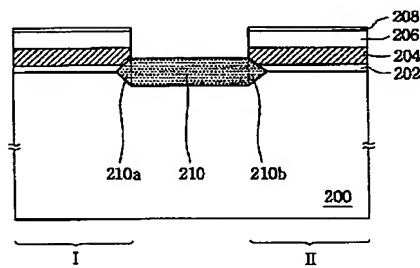
*210: LOCOS酸化膜
 210a: バーズピーク
 210b: バーズピーク
 212: CVD酸化膜
 214: STI
 216: 窒化膜
 218: 第1熱酸化膜
 219: フォトリソグパターン
 220: 第2熱酸化膜

*10

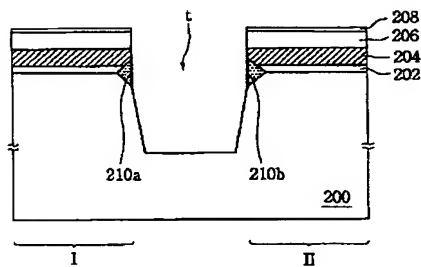
【図1】



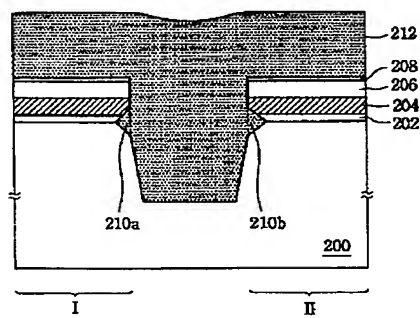
【図2】



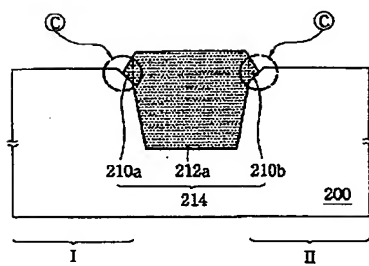
【図3】



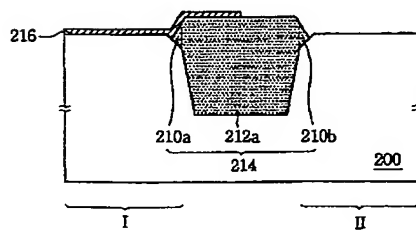
【図4】



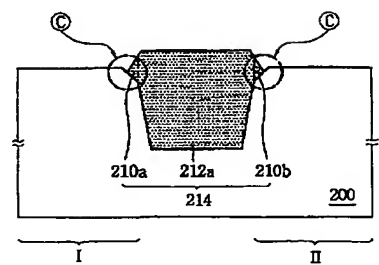
【図5】



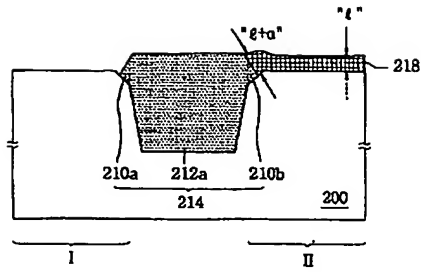
【図6】



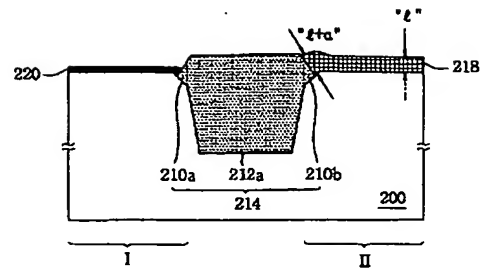
【図13】



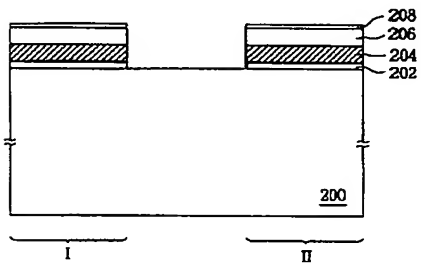
【図7】



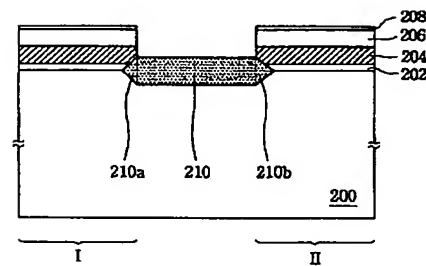
【図8】



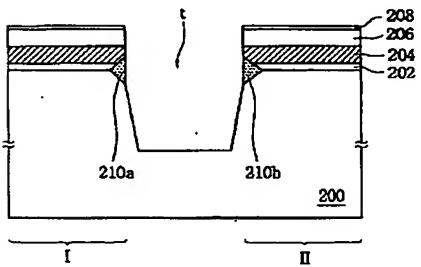
【図9】



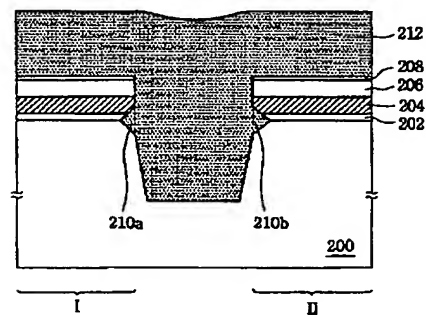
【図10】



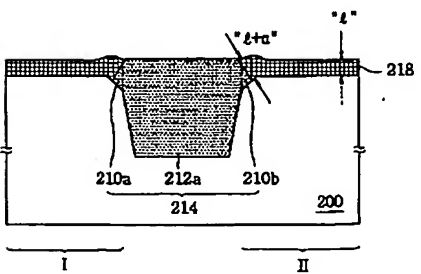
【図11】



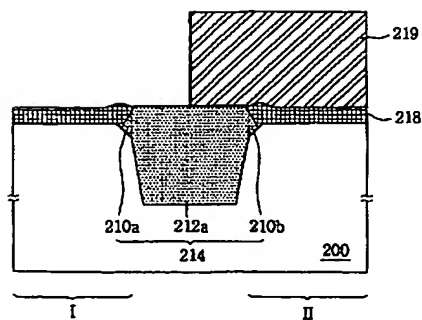
【図12】



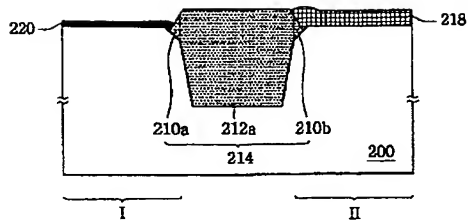
【図14】



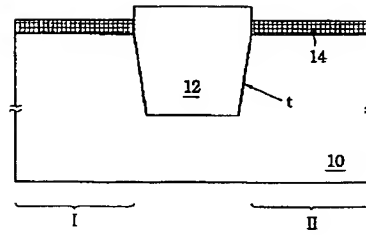
【図15】



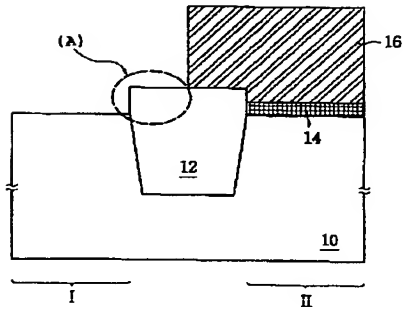
【図16】



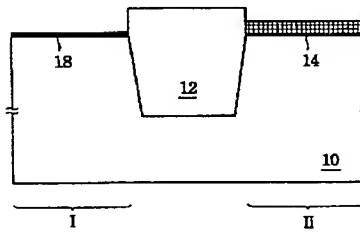
【図17】



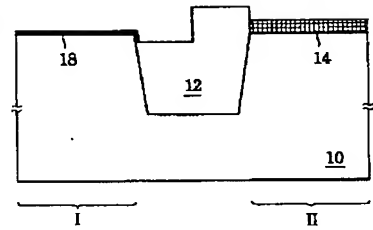
【図18】



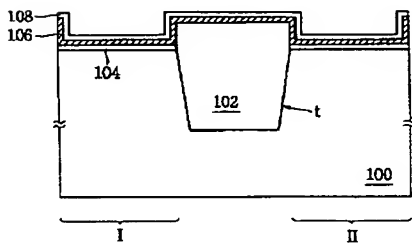
【図19】



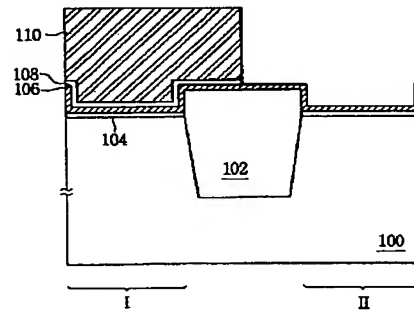
【図20】



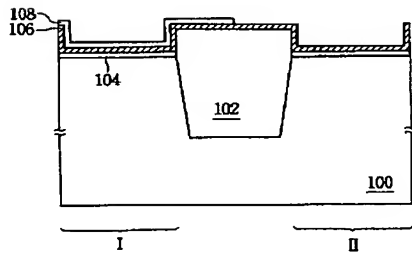
【図21】



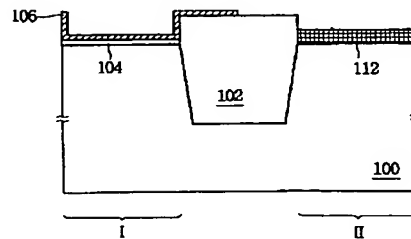
【図22】



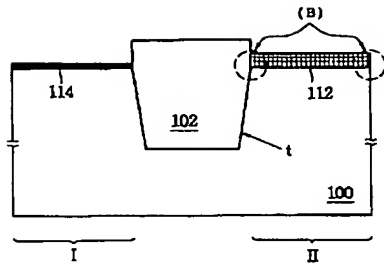
【図23】



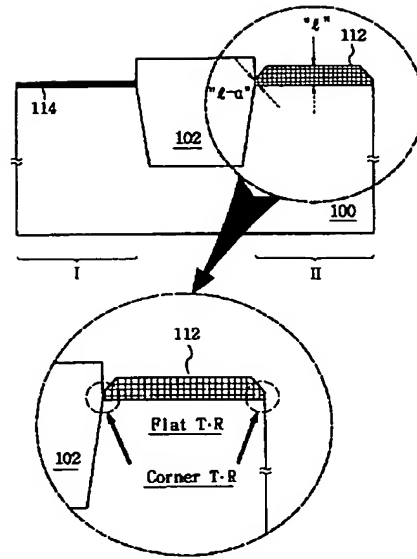
【図24】



【図25】



【図26】



THIS PAGE BLANK (USPTO)